

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-181933

(43)Date of publication of application : 21.07.1995

(51)Int.Cl. G09G 3/36  
G02F 1/133  
G09G 3/20

(21)Application number : 05-348049

(71)Applicant : CASIO COMPUT CO LTD

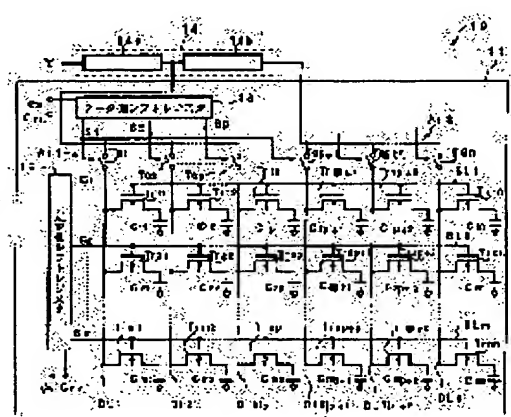
(22)Date of filing : 22.12.1993

(72)Inventor : KASHIYAMA SHUNJI

## (54) DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To provide the display device which divides data lines into a plurality of drive areas and drives them by one data-side driving circuit.  
**CONSTITUTION:** Thin film transistors(TFT) Tr11-Trmn and pixel capacitors C11-Cmn are arranged at the respective crossing points of scanning lines SL 1-SLm and data lines DL1-DLn formed on a glass substrate 11, and one-end sides of the respective data lines DL1-DLn are connected to output terminals of switching transistors(TR) TG1-TGn. Halves of all the input terminals of the switching TRs TG1-TGn are connected to the data lines DL1-DLn in common respectively to divide data lines into the two drive areas Ar1 and Ar2 of equal number of lines. A data-side shift register 13 has output terminals connected to control terminals of the two-divided switching TRs TG1 to TGP, and TGP+1 to TGn at corresponding positions, and the couples of corresponding switching TRs TG1 to TGn are driven at the same times respectively.



## LEGAL STATUS

[Date of request for examination] 15.12.2000

[Date of sending the examiner's decision of rejection] 17.12.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] In the display which has arranged a switching element and pixel capacity in the shape of a matrix at each intersection of a scan line and a data line formed on the substrate The switching element by which an entry of data is connected and carried out to the end of said data line on said substrate, Form the shift register which drives a data line, connect two or more input edges of said switching element every, and said data line is divided into two or more driver zones which consist of a book, respectively. With the output signal which connects each outgoing end of said shift register to the control edge of each switching element connected to the data line of a location which corresponds in said each driver zone, and is outputted from the outgoing end of said shift register The display characterized by turning on / turning off at coincidence the switching element connected to the data line which carries out phase correspondence in said two or more driver zones.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the display which can take the write-in time amount of a pixel for a liquid crystal display panel with many pixels sufficient time in detail about a display.

[0002]

[Description of the Prior Art] Conventionally, as the indicating equipment of a black-and-white television is shown in drawing 3, the indicating equipment and especially the indicating equipment using a liquid crystal display panel have arranged a switching element 3 and the pixel capacity 4 in the shape of a matrix at each intersection of a scan line 1 and a data line 2 arranged by the m line n train, and have connected each data line 2 to a scan side shift register for each scan line 1 through a switching element 5 at the data side shift register 6, respectively.

[0003] The scan side shift register 7 outputs the sequential-scanning signals G1-Gm to each scan line 1,

these scan signals G1-Gm are 1 horizontal-scanning periods (63.5 microseconds), i.e., 1H period, and by being set to high level one by one, makes the switching element 3 connected to each scan line 1 turn on, and carries out the sequential selection drive of the pixel connected to the scan line 1 concerned.

[0004] Moreover, the data side shift register 6 outputs driving signals S1-Sn to the switching element 5 connected to each data line 2, a switching element 5 is turned on one by one, and the luminance signal Y is inputted into each switching element 5. Therefore, by carrying out sequential ON by the driving signals S1-Sn inputted from the data side shift register 6, each switching element 5 is supplied to the data line 2 to which the luminance signal Y is connected in the turned-on switching element 5 concerned, and charges the data line 2 concerned. And this luminance signal Y is impressed to the pixel capacity 4 connected to the scan line 1 concerned through the switching element 3 connected to the scan line 1 then chosen.

[0005] And the period which each of this switching element 5 turns on and all the switching elements 5 finish turning on is the effective video-signal period  $t_{eff}$  of a luminance signal Y, as shown in drawing 4 (52 microseconds). Therefore, driving signals S1-Sn are high periods in drawing 4, and the period which one switching element 5 turns on is the effective video-signal period  $t_{eff}$ . It is below the period divided by the number n of trains, i.e., the number of a data line 2.

[0006]

[Problem(s) to be Solved by the Invention] However, if shown in such a conventional display Since it was carrying out by carrying out sequential ON of the switching element in which the drive by the side of data was prepared by each data line with the driving signal from a data side [ one ] shift register, The time amount written in one pixel, i.e., the time amount which one switching element turns on, is the effective video-signal period  $t_{eff}$ . Although it becomes the time amount ( $t_{eff}/n$ ) divided by the number n of trains and drive processing can be carried out satisfactory in a display with few the number of pixels, i.e., number of trains If the number of pixels (the number of trains) increases, the time amount written in the pixel of the one part will become short today when big screen-ization is demanded. Consequently, the response time of the switching element prepared for every pixel became inadequate, and there was a problem that image quality deteriorated.

[0007] In order to solve this problem, a data side drive circuit is classified into two or more fields, and supply of the video signal to the data line which carries out phase correspondence in each field is synchronized, it drives, and it is possible to lengthen the "on" period of a switching element according to the number of partitions of a data side drive circuit.

[0008] However, by including a data side drive circuit in a liquid crystal substrate (LCD (Liquid Crystal Display) substrate) in recent years at coincidence, the path cord for [ IC and LCD ] a drive is reduced, and the thing aiming at reliance of connection is developed. In the case of LCD which has such a data side drive circuit, forming two or more data side drive circuits reduces the yield of a product, and the new problem of becoming the factor of a cost rise occurs.

[0009] Then, this invention was made in view of the above-mentioned actual condition, divides a data line into two or more driver zones, drives it in a data side [ one ] drive circuit, and aims at offering the good display of image quality cheaply.

[0010]

[Means for Solving the Problem] In the indicating equipment which has arranged a switching element and pixel capacity in the shape of a matrix at each intersection of a scan line and a data line when the indicating equipment of this invention was formed on the substrate The switching element by which an entry of data is connected and carried out to the end of said data line on said substrate, Form the shift register which drives a data line, connect two or more input edges of said switching element every, and said data line is divided into two or more driver zones which consist of a book, respectively. With the output signal which connects each outgoing end of said shift register to the control edge of each switching element connected to the data line of a location which corresponds in said each driver zone, and is outputted from the outgoing end of said shift register The above-mentioned purpose is attained

by turning on / turning off at coincidence the switching element connected to the data line which carries out phase correspondence in said two or more driver zones.

[0011]

[Function] The switching element by which an entry of data is connected and carried out to the end of a data line on a substrate according to this invention, While dividing into two or more driver zones which the shift register and \*\* which drive a data line are formed, connect two or more input edges of this switching element every, and consist a data line of a book, respectively With the output signal which connects with the control edge of each switching element connected to the data line of a location which corresponds in each driver zone which divided each outgoing end of a shift register, and is outputted from the outgoing end of one shift register Since the switching element connected to the data line which carries out phase correspondence in two or more driver zones is turned on / turned off at coincidence In proportion to the number which divided the data line, the time amount which writes data in one pixel, i.e., the time amount which one switching element turns on, can be lengthened, and suppose that it is enough the response time of the switching element prepared for every pixel. Consequently, image quality can be raised. And since the data line of two or more driver zones is driven with one shift register, the number of shift registers is reduced, it can improve and the yield can be made cheap.

[0012]

[Example] Hereafter, this invention is explained based on an example.

[0013] Drawing 1 and drawing 2 are drawings showing one example of the display of this invention.

[0014] This example is applied to the display of the black-and-white television which used the liquid crystal display panel.

[0015] Drawing 1 is the circuit diagram of the indicating equipment 10 of the black-and-white television which applied the indicating equipment of this invention, and a liquid crystal display panel is used for an indicating equipment 10.

[0016] In drawing 1, scan lines SL1-SLm and data lines DL1-DLn are arranged by the m line n train on the glass substrate 11, and, as for the indicating equipment 10, the thin film transistor Tr11 - Trmn, and the pixel capacity C11-Cmn as a switching element are arranged in the shape of a matrix at each intersection of scan lines SL1-SLm and data lines DL1-DLn.

[0017] The gate is connected to the scan lines SL1-SLm which correspond, respectively, and each thin film transistor Tr11 - Trmn are connected to the data lines DL1-DLn to which the drain corresponds, respectively. Moreover, as for each thin film transistor Tr11 - Trmn, the common line (not shown) where it connects, respectively and reference voltage is supplied for the pixel capacity C11-Cmn to the electrode of another side of the pixel capacity C11-Cmn is connected to the source.

[0018] It connects with each output terminal of the scan side shift register 12 formed on the glass substrate 11, and said scan lines SL1-SLm are the scan shift clock signal CPV and scan side driving signal  $\phi V$  from the control circuit outside drawing in the scan side shift register 12. It is inputted. The scan side shift register 12 is this scan shift clock signal CPV and scan side driving signal  $\phi V$ . It responds and the predetermined scan signals G1-Gm are supplied to each scan lines SL1-SLm one by one.

[0019] Said each data lines DL1-DLn are connected to the output terminal of the switching transistors TG1-TGn by which the end was formed on said glass substrate 11, and switching transistors TG1-TGn consist of the transfer gates of the tie-in mold of PMOS (Metal Oxide Semiconductor) and NMOS formed by TFT (thin film transistor).

[0020] Switching transistors TG1-TGn make by one half of the total 1 set, and common connection of the input terminal is made. That is, common connection of the input terminal of  $n/2$  switching transistors TG1-TGP (P supports  $n/2$  and is expressed by P for convenience.),  $n/2$  switching transistor TGP+1 -TGn, and \*\* is made.

[0021] Therefore, the data lines DL1-DLn connected to the output terminal of each switching transistors TG1-TGn are in the condition of having been divided into two driver zones of the same

number, i.e., the driver zone Ar1 in the left half of drawing 1 and the driver zone Ar2 of a right half, by making common connection of every [ of the input terminal of switching transistors TG1-TGn / a moiety ].

[0022] Moreover, the data side shift register 13 is formed on the glass substrate 11, and they are the data shift clock signal CPH and data side driving signal phiH from the control circuit outside drawing in the data side shift register 13. It is inputted. The data side shift register 13 is this data shift clock signal CPH and data side driving signal phiH. The driving signals S1-Sp for responding and carrying out the sequential drive of said each switching transistors TG1-TGn are outputted from that output terminal.

[0023] Each output terminal of this data side shift register 13 The data line DL 1 of the location where each field of the data lines DL1-DLn divided into said two corresponds, and data line DLP+1, A data line DL 2, and data line DLP+2, ... and a data line DLP The switching transistors TG1-TGn connected to the data line DLn, Namely, a switching transistor TG 1 and switching transistor TGP+1, A switching transistor TG 2, and switching transistor TGP+2, ... and a switching transistor TGP It connects with the control terminal of a switching transistor TGn.

[0024] That is, the driving signals S1-Sp outputted from each output terminal of the data side shift register 13 are switching transistor TGP+1, a switching transistor TG 2, and switching transistor TGP+2, ... and a switching transistor TGP. It is outputted to the control terminal of a switching transistor TGn at coincidence. [ the switching transistors / 1 / TGn / TG1- / TG connected to the data lines DL1-DLn to which each driver zones Ar1 and Ar2 by which the field partition was carried out correspond, i.e., a switching transistor, and ]

[0025] Moreover, the display 10 is equipped with the analog line memory 14, and the analog line memory 14 consists of two analog line memory 14a and 14b by which cascade connection was carried out.

[0026] A luminance signal Y is inputted into the analog line memory 14 at analog line memory 14a of the head, and the analog line memory 14 is divided into the luminance signal Y1 for driver zone Ar1 of the above-mentioned left half, and the luminance signal Y2 for driver zone Ar2 of a right half by analog line memory 14a and analog line memory 14b. and the analog line memory 14 -- each switching transistors TG1-TGP of the driver zone Ar1 for the left halves from the analog line memory 14a an input terminal -- a luminance signal Y1 -- outputting -- the driver zone Ar2 for the right halves from the analog line memory 14b -- each -- a luminance signal Y2 is outputted to the input terminal of switching transistor TGP+1 -TGn.

[0027] Next, actuation of this example is explained.

[0028] The scan side shift register 12 outputs the sequential-scanning signals G1-Gm to each scan lines SL1-SLm, as shown in drawing 2 . These scan signals G1-Gm In 1 horizontal-scanning period (635 microseconds), i.e., 1H period, by being set to high level one by one, the thin film transistor Tr11 connected to each scan lines SL1-SLm - Trmn are made to turn on, and sequential selection of the pixel connected to the scan lines SL1-SLm concerned is made.

[0029] Moreover, the data side shift register 13 carries out the sequential output of the driving signals S1-Sp of the number of the one half of the number of data lines DL1-DLn from the output terminal, as shown in drawing 2 R> 2, and each output terminal of the data side shift register 13 is connected to the switching transistors TG1-TGn which carry out phase correspondence as mentioned above in the driver zone Ar1 divided into two, and a driver zone Ar2, respectively.

[0030] That is, each output terminal of the data side shift register 13 is switching transistor TGP+1, a switching transistor TG 2, and switching transistor TGP+2, ... and a switching transistor TGP. It connects with the control terminal of a switching transistor TGn, and the data side shift register 13 outputs driving signals S1-Sp to the switching transistors TG1-TGn of the location which carries out phase correspondence in these driver zones Ar1 and a driver zone Ar2 one by one at coincidence. [ a switching transistor TG 1, and ]

[0031] Therefore, switching transistors TG1-TGn are the switching transistors TG1-TGP of the location which carries out phase correspondence in a driver zone Ar1 and a driver zone Ar2, if driving signals

S1-Sp are inputted. Switching transistor TGP+1 -TGn turns on in coincidence one by one.

[0032] Moreover, switching transistors TG1-TGP of this driver zone Ar1 The luminance signal Y1 in the left half of 1H and the luminance signal Y2 of a right half are inputted into switching transistor TGP+1 -TGn of a driver zone Ar2, respectively from analog line memory 14a and analog line memory 14b.

[0033] And switching transistors TG1-TGP of a driver zone Ar1 Switching transistor TGP+1 -TGn of a driver zone Ar2 Switching transistors TG1-TGP of the driver zone Ar1 of the location which carries out sequential correspondence When switching transistor TGP+1 -TGn of a driver zone Ar2 turns on in coincidence Then the luminance signal Y1 of a left half, and the luminance signal Y2 of a right half from analog line memory 14a and analog line memory 14b Corresponding data lines DL1-DLP And it outputs to data line DLP+1 -DLn, and is impressed by the corresponding liquid crystal capacity C11-Cmn through the thin film transistor Tr11 chosen at this time - Trmn.

[0034] With therefore, the data side [ one ] shift register 13 formed on the glass substrate 11 with which the liquid crystal capacity C11-Cmn, scan lines SL1-SLm, and data lines DL1-DLn are formed Data lines DL1-DLP of the driver zone Ar1 divided into two Connected switching transistors TG1-TGP Switching transistor TGP+1 -TGn connected to data line DLP+1 -DLn of a driver zone Ar2 A sequential drive can be carried out at coincidence.

[0035] Consequently, the period which the switching transistors TG1-TGn connected to each data lines DL1-DLn turn on is the value which divided 1H by 2 which is the number of partitions of data lines DL1-DLn about data lines DL1-DLn, and becomes the time interval which did the division further, i.e.,  $2 H/n$ .

[0036] Therefore, the period which turns on each switching transistors TG1-TGn connected to data lines DL1-DLn can be lengthened twice [ number-of-partitions ] the data lines DL1-DLn rather than the "on" period of the conventional indicating equipment which carries out the sequential drive of the data lines DL1-DLn, without forming two or more data side drive circuits (data side shift register).

[0037] Consequently, raising the yield when producing a display, also in today when big screen-ization is demanded, time amount written in one pixel can be lengthened, the response time of a thin film transistor Tr11 - Trmn can be made into sufficient thing, and the good display of image quality can be offered cheaply.

[0038] In addition, in the above-mentioned example, although the case where data lines DL1-DLn were divided into two was explained, it cannot restrict to this and can divide into two or more two or more driver zones. In this case, according to the number of partitions, only that part can lengthen drive time amount of each data lines DL1-DLn, and can attain much more big screen-ization.

[0039] Moreover, the shift register formed on a substrate may presuppose two or more [ not only one but ], and in short, as it drives two or more drain line driver zones with one shift register, it should just aim at reduction of the number of shift registers.

[0040]

[Effect of the Invention] The switching element by which an entry of data is connected and carried out to the end of a data line on a substrate according to this invention, While dividing into two or more driver zones which form the shift register which drives a data line, connect two or more input edges of this switching element every, and consist a data line of a book, respectively With the output signal which connects with the control edge of each switching element connected to the data line of a location which corresponds in each driver zone which divided each outgoing end of a shift register, and is outputted from the outgoing end of one shift register Since the switching element connected to the data line which carries out phase correspondence in two or more driver zones can be turned on / turned off at coincidence The time amount which writes data in one pixel, without forming two or more shift registers on a substrate, That is, time amount which one switching element turns on can be lengthened in proportion to the number which divided the data line, and suppose that it is enough the response time of the switching element prepared for every pixel. Consequently, image quality can be raised.

[0041] And since the data line of two or more driver zones is driven with one shift register, the number of shift registers is reduced, it can improve and the yield can be made cheap.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

**[Drawing 1]** The circuit diagram of the indicating equipment of the black-and-white television which applied one example of the indicating equipment of this invention.

**[Drawing 2]** The timing chart of the scan signal and driving signal of the display of drawing 1 .

**[Drawing 3]** The circuit diagram of the display of the conventional black-and-white television.

**[Drawing 4]** The timing chart of the luminance signal of the display of drawing 3 , a scan signal, and a driving signal.

**[Description of Notations]**

10 Display

11 Glass Substrate

12 Scan Side Shift Register

13 Data Side Shift Register

14 Analog Line Memory

14a, 14b Analog line memory

DL1-DL<sub>n</sub> Data line

SL1-SL<sub>m</sub> Scan line

S1-S<sub>p</sub> Driving signal

G1-G<sub>m</sub> Scan signal

Tr11 - Tr<sub>mn</sub> Thin film transistor

TG1-TG<sub>n</sub> Switching transistor

C11-C<sub>mn</sub> Liquid crystal capacity

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-181933

(43) 公開日 平成7年(1995)7月21日

(51) Int.Cl.<sup>9</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 0 9 G 3/36

G 0 2 F 1/133

G 0 9 G 3/20

5 5 0

W 9378-5G

審査請求 未請求 請求項の数 1 F D (全 6 頁)

(21) 出願番号

特願平5-348049

(22) 出願日

平成5年(1993)12月22日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 桧山 俊二

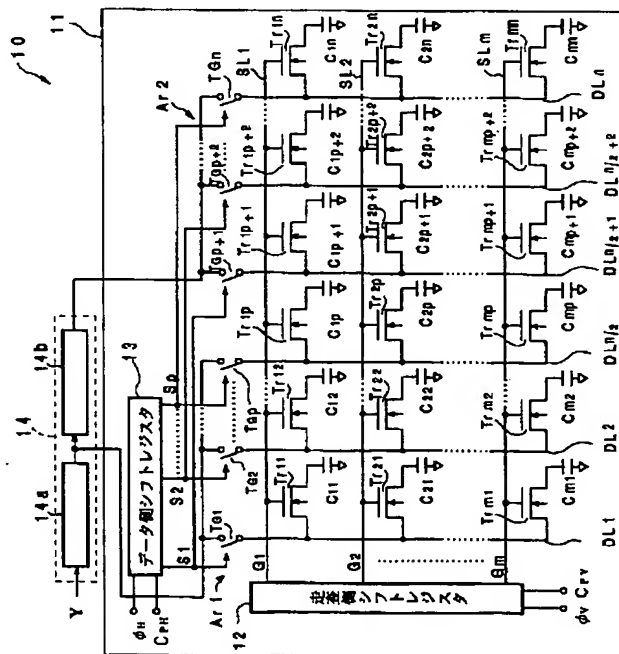
東京都八王子市石川町2951番地5 カシオ  
計算機株式会社八王子研究所内

(54) 【発明の名称】 表示装置

(57) 【要約】

【目的】 データラインを複数個の駆動領域に分割して、1つのデータ側駆動回路で駆動できる表示装置を提供することを目的としている。

【構成】 ガラス基板11上に形成された走査ラインS<sub>L1</sub>～S<sub>Lm</sub>とデータラインDL<sub>1</sub>～DL<sub>n</sub>の各交点に薄膜トランジスタTr<sub>11</sub>～Tr<sub>mn</sub>と画素容量C<sub>11</sub>～C<sub>mn</sub>が配置され、各データラインDL<sub>1</sub>～DL<sub>n</sub>はその一端がスイッチングトランジスタTG<sub>1</sub>～TG<sub>n</sub>の出力端子に接続される。データラインDL<sub>1</sub>～DL<sub>n</sub>は、スイッチングトランジスタTG<sub>1</sub>～TG<sub>n</sub>の入力端子がその全数の半分ずつ共通接続されることにより、同数の2つの駆動領域Ar<sub>1</sub>、Ar<sub>2</sub>に分割される。データ側シフトレジスタ13はその各出力端子が2分割された相対応する位置のスイッチングトランジスタTG<sub>1</sub>～TG<sub>p</sub>、TG<sub>p+1</sub>～TG<sub>n</sub>の制御端子に接続され、この相対応する2つのスイッチングトランジスタTG<sub>1</sub>～TG<sub>n</sub>を同時に駆動する。





(2)

## 【特許請求の範囲】

【請求項1】基板上に形成された走査ラインとデータラインの各交点にスイッチング素子と画素容量をマトリックス状に配置した表示装置において、

前記基板上に、前記データラインの一端に接続してデータの入力されるスイッチング素子と、データラインを駆動するシフトレジスタと、を形成し、

前記スイッチング素子の入力端を複数個ずつ接続して前記データラインをそれぞれ複数本からなる複数の駆動領域に分割し、

前記シフトレジスタの各出力端を前記各駆動領域において対応する位置のデータラインに接続された各スイッチング素子の制御端に接続し、

前記シフトレジスタの出力端から出力される出力信号によって、前記複数の駆動領域の相対応するデータラインに接続されたスイッチング素子を同時にオン／オフすることを特徴とする表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、表示装置に関し、詳しくは、画素数の多い液晶表示パネルを画素の書き込み時間を十分な時間取ることのできる表示装置に関する。

## 【0002】

【従来の技術】従来、表示装置、特に、液晶表示パネルを用いた表示装置は、図3に白黒テレビの表示装置を示すように、 $m$ 行 $n$ 列に配列された走査ライン1とデータライン2の各交点にスイッチング素子3と画素容量4とをマトリックス状に配置し、各走査ライン1を走査側シフトレジスタに、各データライン2をスイッチング素子5を介してデータ側シフトレジスタ6に、それぞれ接続している。

【0003】走査側シフトレジスタ7は、各走査ライン1に順次走査信号 $G_1 \sim G_m$ を出力し、この走査信号 $G_1 \sim G_m$ は、1水平走査期間( $63.5 \mu s$ )、すなわち1H期間で、順次ハイレベルになることにより、各走査ライン1に接続されているスイッチング素子3をオンさせて、当該走査ライン1に接続されている画素を順次選択駆動する。

【0004】また、データ側シフトレジスタ6は、各データライン2に接続されたスイッチング素子5に駆動信号 $S_1 \sim S_n$ を出力して、順次スイッチング素子5をオンし、各スイッチング素子5には、輝度信号 $Y$ が入力されている。したがって、各スイッチング素子5は、データ側シフトレジスタ6から入力される駆動信号 $S_1 \sim S_n$ により順次オンされることにより、輝度信号 $Y$ を当該オンしたスイッチング素子5の接続されているデータライン2に供給し、当該データライン2を充電する。そして、この輝度信号 $Y$ は、そのとき選択されている走査ライン1に接続されているスイッチング素子3を介して、当該走査ライン1に接続されている画素容量4に印加さ

2

れる。

【0005】そして、この各スイッチング素子5がオンして全てのスイッチング素子5がオンし終わる期間は、図4に示すように、輝度信号 $Y$ の有効映像信号期間 $t_{eff}$ ( $52 \mu s$ )である。したがって、一つのスイッチング素子5がオンしている期間は、図4で駆動信号 $S_1 \sim S_n$ がハイの期間であり、有効映像信号期間 $t_{eff}$ を列数、すなわち、データライン2の本数 $n$ で割った期間以下である。

## 10 【0006】

【発明が解決しようとする課題】しかしながら、このような従来の表示装置にあっては、データ側の駆動を1つのデータ側シフトレジスタからの駆動信号により、各データラインに設けられたスイッチング素子を順次オンすることにより行っていたため、1つの画素に書き込む時間、すなわち、1つのスイッチング素子がオンしている時間は、有効映像信号期間 $t_{eff}$ を列数 $n$ で割った時間( $t_{eff}/n$ )となり、画素数、すなわち、列数の少ない表示装置では、問題なく駆動処理することができるが、大画面化が要求される今日、画素数(列数)が増え

20 ると、その分1つの画素に書き込む時間が短くなる。その結果、各画素毎に設けられたスイッチング素子の応答時間が不十分となり、画質が低下するという問題があった。

【0007】この問題を解決するために、データ側駆動回路を複数の領域に区分して、各領域の相対応するデータラインへの映像信号の供給を同期させて駆動し、スイッチング素子のオン期間をデータ側駆動回路の分割数に

30 応じて長くすることが考えられる。

【0008】しかしながら、近年、液晶基板(LCD (Liquid Crystal Display) 基板)にデータ側駆動回路を同時に組み込むことにより、駆動用ICとLCDとの接続線を減らし、接続の信頼を図ったものが開発されている。このようなデータ側駆動回路を有するLCDの場合、複数のデータ側駆動回路を形成することは、製品の歩留りを低下させ、コストアップの要因となるという新たな問題が発生する。

【0009】そこで、本発明は、上記実情に鑑みてなされたもので、データラインを複数の駆動領域に分割して1つのデータ側駆動回路で駆動し、安価で、かつ画質の良好な表示装置を提供することを目的としている。

## 【0010】

【課題を解決するための手段】本発明の表示装置は、基板上に形成された走査ラインとデータラインの各交点にスイッチング素子と画素容量をマトリックス状に配置した表示装置において、前記基板上に、前記データラインの一端に接続してデータの入力されるスイッチング素子と、データラインを駆動するシフトレジスタと、を形成し、前記スイッチング素子の入力端を複数個ずつ接続して前記データラインをそれぞれ複数本からなる複数の

50

(3)

3

駆動領域に分割し、前記シフトレジスタの各出力端を前記各駆動領域において対応する位置のデータラインに接続された各スイッチング素子の制御端に接続し、前記シフトレジスタの出力端から出力される出力信号によって、前記複数の駆動領域の相対するデータラインに接続されたスイッチング素子を同時にオン／オフすることにより、上記目的を達成している。

【0011】

【作用】本発明によれば、基板上に、データラインの一端に接続してデータの入力されるスイッチング素子と、データラインを駆動するシフトレジスタと、が形成され、このスイッチング素子の入力端を複数個ずつ接続してデータラインをそれぞれ複数本からなる複数の駆動領域に分割するとともに、シフトレジスタの各出力端を分割した各駆動領域において対応する位置のデータラインに接続された各スイッチング素子の制御端に接続し、1つのシフトレジスタの出力端から出力される出力信号によって、複数の駆動領域の相対するデータラインに接続されたスイッチング素子を同時にオン／オフしているので、1つの画素にデータを書き込む時間、すなわち、1つのスイッチング素子がオンしている時間をデータラインを分割した数に比例して長くすることができ、各画素毎に設けられたスイッチング素子の応答時間を十分とものとしてすることができる。その結果、画質を向上させることができる。しかも、1つのシフトレジスタにより複数の駆動領域のデータラインを駆動するので、シフトレジスタの数を低減し、歩留りを向上し、かつ安価にすることができる。

【0012】

【実施例】以下、本発明を実施例に基づいて説明する。

【0013】図1及び図2は、本発明の表示装置の一実施例を示す図である。

【0014】本実施例は、液晶表示パネルを用いた白黒テレビの表示装置に適用したものである。

【0015】図1は、本発明の表示装置を適用した白黒テレビの表示装置10の回路図であり、表示装置10は、液晶表示パネルを用いたものである。

【0016】図1において、表示装置10は、ガラス基板11上にm行n列に走査ラインSL1～SLmとデータラインDL1～DLnが配列されており、走査ラインSL1～SLmとデータラインDL1～DLnの各交点にスイッチング素子としての薄膜トランジスタTr11～Trmnと画素容量C11～Cmnがマトリックス状に配置されている。

【0017】各薄膜トランジスタTr11～Trmnは、そのゲートがそれぞれ対応する走査ラインSL1～SLmに接続されており、そのドレインがそれぞれ対応するデータラインDL1～DLnに接続されている。また、各薄膜トランジスタTr11～Trmnは、そのソースに画素容量C11～Cmnがそれぞれ接続されてお

4

り、画素容量C11～Cmnの他方の電極には、基準電圧の供給されるコモンライン（図示せず。）が接続されている。

【0018】前記走査ラインSL1～SLmは、ガラス基板11上に形成された走査側シフトレジスタ12の各出力端子に接続されており、走査側シフトレジスタ12には、図外の制御回路から走査シフトクロック信号CPVと走査側駆動信号φVが入力される。走査側シフトレジスタ12は、この走査シフトクロック信号CPV及び走査側駆動信号φVに応じて各走査ラインSL1～SLmに順次所定の走査信号G1～Gmを供給する。

【0019】前記各データラインDL1～DLnは、その一端が前記ガラス基板11上に形成されたスイッチングトランジスタTG1～TGnの出力端子に接続されており、スイッチングトランジスタTG1～TGnは、TFT（thin film transistor）で形成されたPMOS（Metal Oxide Semiconductor）とNMOSの抱き合せ型のトランスファゲートで構成されている。

【0020】スイッチングトランジスタTG1～TGnは、その全数の半分ずつを1組として、その入力端子が共通接続されている。すなわち、n/2個のスイッチングトランジスタTG1～TGP（Pは、n/2に対応しており、便宜上Pで表現する。）と、n/2個のスイッチングトランジスタTGP+1～TGnと、の入力端子が共通接続されている。

【0021】したがって、スイッチングトランジスタTG1～TGnの入力端子の半数ずつが共通接続されることにより、各スイッチングトランジスタTG1～TGnの出力端子に接続されたデータラインDL1～DLnは、同数の2つの駆動領域、すなわち、図1の左半分の駆動領域Ar1と右半分の駆動領域Ar2に分割された状態となっている。

【0022】また、ガラス基板11上には、データ側シフトレジスタ13が形成されており、データ側シフトレジスタ13には、図外の制御回路からデータシフトクロック信号CPHとデータ側駆動信号φHが入力される。データ側シフトレジスタ13は、このデータシフトクロック信号CPH及びデータ側駆動信号φHに応じて前記各スイッチングトランジスタTG1～TGnを順次駆動するための駆動信号S1～Spをその出力端子から出力する。

【0023】このデータ側シフトレジスタ13の各出力端子は、前記2つに分割されたデータラインDL1～DLnの各領域の対応する位置のデータラインDL1とデータラインDLP+1、データラインDL2とデータラインDLP+2、・・・、データラインDLPとデータラインDLnに接続されたスイッチングトランジスタTG1～TGn、すなわち、スイッチングトランジスタTG1とスイッチングトランジスタTGP+1、スイッチングトランジスタTG2とスイッチングトランジスタTGP+2

(4)

5

、・・・、スイッチングトランジスタTGP とスイッチングトランジスタTGnの制御端子に接続されている。

【0024】すなわち、データ側シフトレジスタ13の各出力端子から出力される駆動信号S1～Spは、領域区分された各駆動領域Ar1、Ar2の対応するデータラインDL1～DLnに接続されたスイッチングトランジスタTG1～TGn、すなわち、スイッチングトランジスタTG1とスイッチングトランジスタTGP+1、スイッチングトランジスタTG2とスイッチングトランジスタTGP+2、・・・、スイッチングトランジスタTGPとスイッチングトランジスタTGnの制御端子に同時に出力される。

【0025】また、表示装置10は、アナログラインメモリ14を備えており、アナログラインメモリ14は、縦続接続された2個のアナログラインメモリ14a、14bで構成されている。

【0026】アナログラインメモリ14には、その先頭のアナログラインメモリ14aに、輝度信号Yが入力され、アナログラインメモリ14は、アナログラインメモリ14aとアナログラインメモリ14bで上記左半分の駆動領域Ar1用の輝度信号Y1と右半分の駆動領域Ar2用の輝度信号Y2とに分離する。そして、アナログラインメモリ14は、そのアナログラインメモリ14aから左半分用の駆動領域Ar1の各スイッチングトランジスタTG1～TGPの入力端子に輝度信号Y1を出力し、そのアナログラインメモリ14bから右半分用の駆動領域Ar2の各スイッチングトランジスタTGP+1～TGnの入力端子に輝度信号Y2を出力する。

【0027】次に、本実施例の動作を説明する。

【0028】走査側シフトレジスタ12は、図2に示すように、各走査ラインSL1～SLmに順次走査信号G1～Gmを出力し、この走査信号G1～Gmは、1水平走査期間(635μs)、すなわち1H期間で、順次ハイレベルになることにより、各走査ラインSL1～SLmに接続されている薄膜トランジスタTr11～Trmnをオンさせて、当該走査ラインSL1～SLmに接続されている画素を順次選択する。

【0029】また、データ側シフトレジスタ13は、図2に示すように、その出力端子からデータラインDL1～DLnの本数の半分の数の駆動信号S1～Spを順次出力し、データ側シフトレジスタ13の各出力端子は、上述のように、2つに分割された駆動領域Ar1と駆動領域Ar2の相対応するスイッチングトランジスタTG1～TGnにそれぞれ接続されている。

【0030】すなわち、データ側シフトレジスタ13の各出力端子は、スイッチングトランジスタTG1とスイッチングトランジスタTGP+1、スイッチングトランジスタTG2とスイッチングトランジスタTGP+2、・・・、スイッチングトランジスタTGP とスイッチングト

6

ランジスタTGnの制御端子に接続されており、データ側シフトレジスタ13は、これら駆動領域Ar1と駆動領域Ar2の相対応する位置のスイッチングトランジスタTG1～TGnに順次駆動信号S1～Spを同時に出力する。

【0031】したがって、スイッチングトランジスタTG1～TGnは、駆動信号S1～Spが入力されると、駆動領域Ar1と駆動領域Ar2の相対応する位置のスイッチングトランジスタTG1～TGP とスイッチングトランジスタTGP+1～TGnが順次同時にオンする。

【0032】また、この駆動領域Ar1のスイッチングトランジスタTG1～TGP と駆動領域Ar2のスイッチングトランジスタTGP+1～TGnには、アナログラインメモリ14aとアナログラインメモリ14bからそれぞれ1Hの左半分の輝度信号Y1と右半分の輝度信号Y2が入力される。

【0033】そして、駆動領域Ar1のスイッチングトランジスタTG1～TGP と駆動領域Ar2のスイッチングトランジスタTGP+1～TGnは、順次対応する位置の駆動領域Ar1のスイッチングトランジスタTG1～TGP と駆動領域Ar2のスイッチングトランジスタTGP+1～TGnが同時にオンすることにより、そのときアナログラインメモリ14aとアナログラインメモリ14bから左半分の輝度信号Y1と右半分の輝度信号Y2を、対応するデータラインDL1～DLP 及びデータラインDLP+1～DLnに出力し、このとき選択されている薄膜トランジスタTr11～Trmnを介して、対応する液晶容量C11～Cmnに印加する。

【0034】したがって、液晶容量C11～Cmnや走査ラインSL1～SLm及びデータラインDL1～DLnの形成されるガラス基板11上に形成した1つのデータ側シフトレジスタ13により、2分割された駆動領域Ar1のデータラインDL1～DLP に接続されたスイッチングトランジスタTG1～TGP と駆動領域Ar2のデータラインDLP+1～DLnに接続されたスイッチングトランジスタTGP+1～TGnを同時に順次駆動することができる。

【0035】その結果、各データラインDL1～DLnに接続されたスイッチングトランジスタTG1～TGnがオンしている期間は、1HをデータラインDL1～DLnをデータラインDL1～DLnの分割数である2で割った値で、さらに除算した時間間隔、すなわち、2H/nとなる。

【0036】したがって、複数のデータ側駆動回路(データ側シフトレジスタ)を形成することなく、データラインDL1～DLnに接続された各スイッチングトランジスタTG1～TGnをオンしている期間を、データラインDL1～DLnを順次駆動する従来の表示装置のオン期間よりも、データラインDL1～DLnの分割数倍だけ長くすることができる。

(5)

7

【0037】その結果、表示装置を生産する上での歩留りを向上させつつ、大画面化が要求される今日においても、1つの画素に書き込む時間を長くして、薄膜トランジスタ $Tr_{11} \sim Tr_{mn}$ の応答時間を充分なものとすることができ、安価に、画質の良好な表示装置を提供することができる。

【0038】尚、上記実施例においては、データライン $DL_1 \sim DL_n$ を2分割した場合について説明したが、これに限るものではなく、2以上の複数の駆動領域に分割することができる。この場合、分割数に応じてその分だけ各データライン $DL_1 \sim DL_n$ の駆動時間を長くすることができ、より一層の大画面化を図ることができる。

【0039】また、基板上に形成するシフトレジスタは、1つに限らず、複数個としてもよく、要は、1つのシフトレジスタにて複数個のドレインライン駆動領域を駆動するようにして、シフトレジスタの数の低減を図るようにすればよい。

【0040】

【発明の効果】本発明によれば、基板上に、データラインの一端に接続してデータの入力されるスイッチング素子と、データラインを駆動するシフトレジスタと、を形成し、このスイッチング素子の入力端を複数個ずつ接続してデータラインをそれぞれ複数本からなる複数の駆動領域に分割するとともに、シフトレジスタの各出力端を分割した各駆動領域において対応する位置のデータラインに接続された各スイッチング素子の制御端に接続し、1つのシフトレジスタの出力端から出力される出力信号によって、複数の駆動領域の相対するデータラインに接続されたスイッチング素子を同時にオン/オフすることができるので、複数のシフトレジスタを基板上に形成することなく、1つの画素にデータを書き込む時

8

間、すなわち、1つのスイッチング素子がオンしている時間をデータラインを分割した数に比例して長くすることができ、各画素毎に設けられたスイッチング素子の応答時間を十分とものすることができる。その結果、画質を向上させることができる。

【0041】しかも、1つのシフトレジスタにより複数の駆動領域のデータラインを駆動するので、シフトレジスタの数を低減し、歩留りを向上し、かつ安価にすることができる。

【図面の簡単な説明】

【図1】本発明の表示装置の一実施例を適用した白黒テレビの表示装置の回路図。

【図2】図1の表示装置の走査信号と駆動信号のタイミング図。

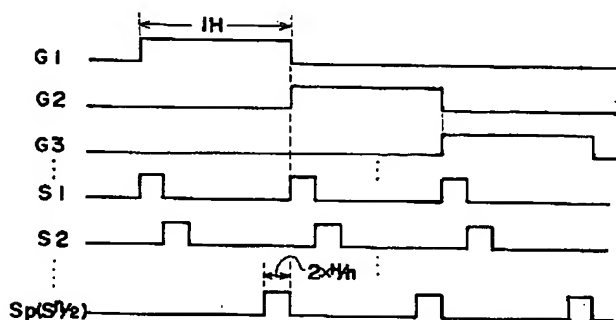
【図3】従来の白黒テレビの表示装置の回路図。

【図4】図3の表示装置の輝度信号、走査信号及び駆動信号のタイミング図。

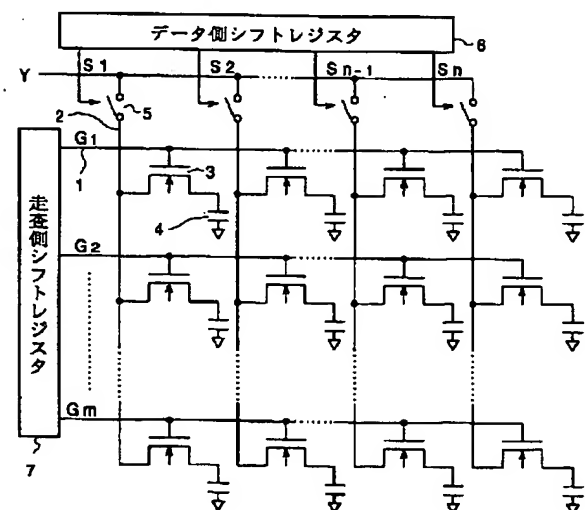
【符号の説明】

- 10 表示装置
- 11 ガラス基板
- 12 走査側シフトレジスタ
- 13 データ側シフトレジスタ
- 14 アナログラインメモリ
- 14a、14b アナログラインメモリ
- $DL_1 \sim DL_n$  データライン
- $SL_1 \sim SL_m$  走査ライン
- $S_1 \sim S_p$  駆動信号
- $G_1 \sim G_m$  走査信号
- $Tr_{11} \sim Tr_{mn}$  薄膜トランジスタ
- $TG_1 \sim TG_n$  スwitchングトランジスタ
- $C_{11} \sim C_{mn}$  液晶容量

【図2】

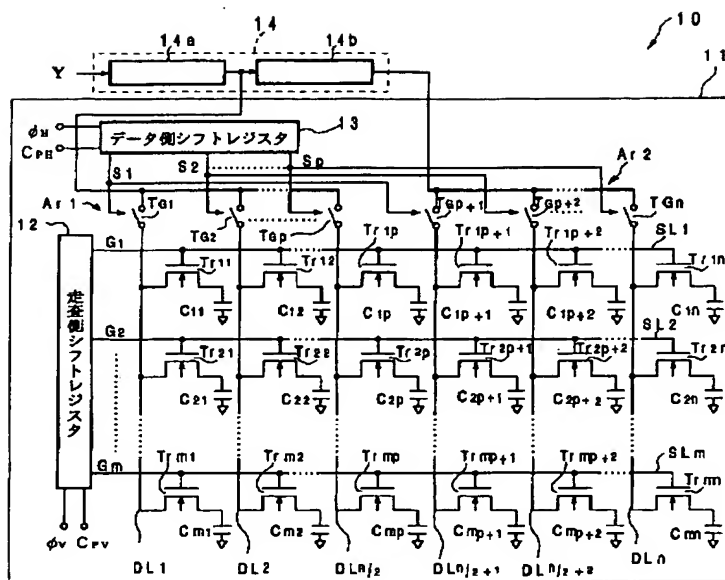


【図3】



(6)

【图 1】



【図 4】

